

11.09.03

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

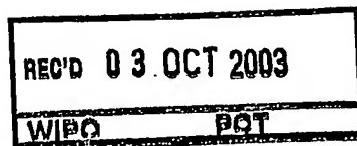
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年 8月12日

出願番号 Application Number: 特願2002-235125

[ST. 10/C]: [JP2002-235125]

出願人 Applicant(s): ソニー株式会社

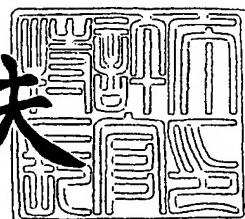


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 9月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 0290283601
【提出日】 平成14年 8月12日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/14
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 和田 和司
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 原田 耕一
【発明者】
【住所又は居所】 東京都港区赤坂8丁目5番26号 赤坂D Sビル 株式
会社メイテック内
【氏名】 大塚 修司
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代理人】
【識別番号】 100089875
【弁理士】
【氏名又は名称】 野田 茂
【電話番号】 03-3266-1667
【手数料の表示】
【予納台帳番号】 042712
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子

【特許請求の範囲】

【請求項 1】 半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、

前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、

前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有し、

前記転送部の下層領域のポテンシャルは、前記転送部の最大ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成されている、

ことを特徴とする固体撮像素子。

【請求項 2】 前記オーバーフローバリアが前記半導体基板の表面から $3 \mu m$ 以上の深い位置に形成されていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 前記半導体基板は N 型基板の上層に P 型領域を設けて構成され、前記 P 型領域の上層部分に前記画素、及び転送部を設け、さらに画素間のクロストークを防止するチャネルトップ領域を形成したことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 4】 前記転送部の下層領域に部分的な高濃度の P 型領域を形成することにより、前記転送部の下層領域のポテンシャルが、前記転送部の最大ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成されていることを特徴とする請求項 3 記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板に光電変換部を用いた複数の画素と、この画素によって生成した信号電荷を転送するCCD転送部とを設けた固体撮像素子に関し、特に光電変換部で生成した過剰電荷を半導体基板の裏面方向に排出するための縦形オーバーフローバリア構造を有する固体撮像素子に関する。

【0002】

【従来の技術】

従来より、この種の固体撮像素子として画素をマトリクス状に配置した2次元CCDイメージセンサが知られている。

図4は、従来の2次元CCDイメージセンサの一般的な構成例を示す平面図である。

この2次元CCDイメージセンサは、半導体基板(Si基板、半導体チップ)10上に設けた撮像領域20内に、それぞれ画素となる光電変換部としてのフォトセンサ(フォトダイオード)22を2次元配列で配置し、各フォトセンサ列毎に複数の垂直転送レジスタ24及びチャネルトップ領域26を配置し、さらに、撮像領域20の外側に水平転送レジスタ32及び出力部34を設けたものである。

なお、撮像領域20の外側は、バスライン等を配置した周辺領域21となっている。

【0003】

各フォトセンサ22で生成された信号電荷は、垂直転送レジスタ24に読み出されて各フォトセンサ列毎に垂直方向に転送され、順番に水平転送レジスタ32に出力される。

水平転送レジスタ32では、垂直転送レジスタ24によって転送された各フォトセンサ22の信号電荷を各行毎に水平方向に転送し、出力部34に順次出力する。

出力部34では、水平転送レジスタ32によって転送された信号電荷を順次電圧信号に変換し、増幅等を施して出力する。

また、チャネルトップ領域26は、隣接する各フォトセンサ列間の信号の漏洩を阻止している。

【0004】

また、図5は、図4に示す2次元CCDイメージセンサの内部素子構造を示す断面図であり、図4のa-a断面を示している。

図示のように、半導体基板(Si基板)10の上層に、フォトセンサ22、垂直転送レジスタ24、及びチャネルトップ領域26が形成され、半導体基板10の上面には、絶縁膜(シリコン酸化膜)42を介して垂直転送レジスタ24の転送電極(ポリシリコン膜)44が配置され、その上層に遮光膜46が装着されている。

この遮光膜46には、フォトセンサ22の受光領域に対応して開口部46Aが形成され、この開口部46Aを通して光がフォトセンサ22に入射される。

【0005】

また、フォトセンサ22は、上層のP+層22Aと下層のN層22Bを有し、P+層22Aで正孔と電子が分離され、N層22Bに信号電荷が生成される。

このN層22Bで生成された信号電荷は、N層22Bの下層に形成される空乏層に蓄積され、フォトセンサ22と垂直転送レジスタ24との間に設けられた読み出しゲート部の動作によってフォトセンサ22から垂直転送レジスタ24側に読み出される。

【0006】

また、半導体基板10の内部領域には、各フォトセンサ22で生成された信号電荷をN層22Bの下部領域に貯留するためのオーバーフローバリア(OFB)28が設けられている。

このオーバーフローバリア28は、半導体基板内の不純物分布を調整することにより、半導体基板10の内部領域にポテンシャルによるバリアを形成し、信号電荷の漏洩をせき止めるものである。また、過大光量の入射時には、フォトセンサ22で過剰に生成された信号電荷が、このオーバーフローバリア28を越えて半導体基板10の裏側に排出されるようになっている。

【0007】

【発明が解決しようとする課題】

ところで、上述のようなCCD固体撮像素子では、単位画素の小型化に伴い、

単位面積あたりの感度を向上させる技術の開発が急務となっている。

そして、その1つの手段として、従来はSi基板表面から $3\text{ }\mu\text{m}$ 程度に形成しているオーバーフローバリアを、より深い位置（たとえば $5\text{ }\mu\text{m} \sim 10\text{ }\mu\text{m}$ ）に形成することが考えられる。

【0008】

この状態で従来通りの垂直転送レジスタのポテンシャルを形成すると、その分布は図6及び図7に示すようなものとなる。

すなわち、図6は、フォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸はポテンシャルの深さ(V)、横軸は基板表面からの深さ(μm)を示している。そして、実線Aはフォトセンサ部分のポテンシャル分布、破線Bは垂直転送レジスタ部分のポテンシャル分布を示している。

また、図7は、フォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、X軸が水平方向、Y軸がポテンシャル深さ方向、Z軸が基板の深さ方向をそれぞれ示し、X軸とY軸で構成される面が基板表面を示している。

なお、これらの図6及び図7において、図6の縦軸及び図7のY軸は、上から下に向かってポテンシャルが高いことを意味している。また、各軸に付した目盛りの数値は、便宜的に調整(Coordinate)した値である。

【0009】

そして、このようなポテンシャル分布では、基板の深い部分において、フォトセンサのポテンシャルの位置と垂直転送レジスタの下層部分のポテンシャルの位置が等しくなってしまう。

したがって、このような状態では、センサ領域で光電変換された電荷が横方向(図7中の矢印Cで示す)に拡散してしまい、隣接画素のセンサ領域に入り込む、クロストークと呼ぶ問題が発生するという問題がある。

【0010】

そこで本発明の目的は、オーバーフローバリアを基板の深部に設けた場合にも、隣接する画素間のクロストークを有効に防止することが可能な固体撮像素子を提供することにある。

【0011】

【課題を解決するための手段】

本発明は前記目的を達成するため、半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するためのポテンシャルバリアよりなるオーバーフローバリアとを有し、前記転送部の下層領域のポテンシャルは、前記転送部の最大ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成されていることを特徴とする。

【0012】

本発明の固体撮像素子では、転送部の下層領域のポテンシャルが、その最大ポテンシャル位置からオーバーフローバリアまでの間で、光電変換部の下層領域のポテンシャルより小さく形成されていることから、オーバーフローバリアを基板の深い位置に形成した場合でも、光電変換部の下層領域に蓄積された信号電荷が隣接する転送部側に漏洩するのを防止できる。

したがって、転送部やチャネルトップ領域の下層領域を通じての信号電荷の漏洩による各画素間のクロストークを防止でき、画質の劣化を招くことなく、蓄積電荷量の増大による感度の向上を実現することが可能となる。

【0013】

【発明の実施の形態】

以下、本発明による固体撮像素子の実施の形態例について説明する。

図1は、本発明の実施の形態例による2次元CCDイメージセンサの内部素子構造を示す断面図である。なお、本例における2次元CCDイメージセンサの平面方向の素子配列は図4に示した従来例と共通であり、図1は図4のa-a断面を示すものである。

図1に示すように、本例のイメージセンサは、図5に示すものと同様に、半導体基板(Si基板)110の上層に、フォトセンサ122、垂直転送レジスタ124、及びチャネルトップ領域126が形成され、半導体基板110の上面に

は、絶縁膜（シリコン酸化膜）142を介して垂直転送レジスタ124の転送電極（ポリシリコン膜）144が配置され、その上層に遮光膜146が装着されている。

この遮光膜146には、フォトセンサ122の受光領域に対応して開口部146Aが形成され、この開口部146Aを通して光がフォトセンサ122に入射される。

【0014】

そして、フォトセンサ122は、上層のP+層122Aと下層のN層122Bを有し、P+層122Aで正孔と電子が分離され、N層122Bに信号電荷が生成される。

このN層122Bで生成された信号電荷は、N層122Bの下層に形成される空乏層に蓄積され、フォトセンサ122と垂直転送レジスタ124との間に設けられた読み出しゲート部の動作によってフォトセンサ122から垂直転送レジスタ124側に読み出される。

なお、本例では、P+層122Aの下に1層のN層122Bを設けた構成を示しているが、基板110の深い位置にオーバーフローバリア及び空乏層を形成する構成の場合、N層122Bの下層に低濃度のNー層を設けた構成とすることも可能である。

【0015】

また、半導体基板110の内部領域には、各フォトセンサ122で生成された信号電荷をN層122Bの下部領域に貯留するためのオーバーフローバリア(OFB)128が設けられている。

このオーバーフローバリア128は、半導体基板内の不純物分布を調整することにより、半導体基板110の内部領域にポテンシャルによるバリアを形成し、信号電荷の漏洩をせき止めるものである。また、過大光量の入射時には、フォトセンサ122で過剰に生成された信号電荷が、このオーバーフローバリア128を越えて半導体基板110の裏側に排出されるようになっている。

なお、半導体基板110は、N型基板110Aの上層に所定の方法でP型層110Bを設け、このP型層110Bに各種素子を形成したものであり、N型基板

110AとP型層110Bの境界付近にオーバーフローバリア128が形成される。

このオーバーフローバリア128は、例えば、基板110の表面から $5\text{ }\mu\text{m}$ ～ $10\text{ }\mu\text{m}$ の深さ位置に形成されているものとする。

【0016】

そして、本例においては、垂直転送レジスタ124及びチャネルトップ領域126の下層領域の所定位置に、部分的なP型領域150が形成され、このP型領域150によって垂直転送レジスタ124及びチャネルトップ領域126の下層領域におけるポテンシャルが調整され、垂直転送レジスタ124の最大ポテンシャル位置からオーバーフローバリア128までの間で、フォトセンサ122の下層領域のポテンシャルより小さく（すなわち、低く）形成されている。

図2は、フォトセンサ122及び垂直転送レジスタ124の各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸はポテンシャルの深さ(V)、横軸は基板表面からの深さ(μm)を示している。そして、実線Aはフォトセンサ部分のポテンシャル分布、破線Bは垂直転送レジスタ部分のポテンシャル分布を示している。また、各軸に付した目盛りの数値は、便宜的に調整(Coordinate)した値である。

また、図3は、フォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、X軸が水平方向、Y軸がポテンシャル深さ方向、Z軸が基板の深さ方向をそれぞれ示し、X軸とY軸で構成される面が基板表面を示している。

なお、これらの図2及び図3において、図2の縦軸及び図3のY軸は、上から下に向かってポテンシャルが高いことを意味している。

【0017】

上述した図6及び図7に示す従来例のポテンシャル分布では、基板の深い部分において、フォトセンサのポテンシャルの位置と垂直転送レジスタの下層部分のポテンシャルの位置が等しくなっていたが、本例では、図2及び図3に示すように、垂直転送レジスタ124及びチャネルトップ領域126の下層領域におけるポテンシャルが、垂直転送レジスタ124の最大ポテンシャル位置からオーバーフローバリア128までの間で、フォトセンサ122の下層領域のポテンシャ

ルより小さく（すなわち、低く）形成されている（なお、図ではポテンシャルの低い方が、高い位置に線が示される）。

したがって、本例の状態では、センサ領域で光電変換された電荷は、両側の垂直転送レジスタ124及びチャネルトップ領域126の下層領域におけるポテンシャルが低いため、このポテンシャルバリアに遮られて、容易に拡散できない状態となり、隣接画素のセンサ領域に漏洩しにくくなることから、クロストークを有效地に防止できることになる。

【0018】

次に、このようなポテンシャル分布を得るための製造方法の一例について簡単に説明する。

まず、垂直転送レジスタ124及びチャネルトップ領域126の下層部分の深い位置に、P型不純物をイオン注入することにより、P型領域150を形成する。

次に、半導体基板110（N型基板110A）の表面からオーバーフローバリア128までの基板抵抗を 100Ω 以上の高抵抗基板にする。

そして、半導体基板110の表面からオーバーフローバリア128までの層をP型にし、P型層110Bを形成する。

このようにして、P型層110B中に部分的な高濃度のP型領域150を形成すことができる。ただし、これは一例であり、種々の方法が利用できる。

【0019】

なお、以上の例は、本発明を2次元イメージセンサについて説明したが、本発明は、これに限定されるものではなく、CCDを用いた他の固体撮像素子についても同様に適用し得るものである。

また、以上の例は、光電変換部で生成した電子を扱う場合について説明したが、同様に正孔を扱う構成に適用してもよい。この場合には、各半導体領域のPとNの極性やポテンシャルの極性が逆になる。すなわち、本発明におけるポテンシャルの大小（高低）は絶対値を基準とする意味であるものとする。

【0020】

【発明の効果】

以上説明したように本発明の固体撮像素子によれば、転送部の下層領域のポテンシャルが、その最大ポテンシャル位置からオーバーフローバリアまでの間で、光電変換部の下層領域のポテンシャルより小さく形成されていることから、オーバーフローバリアを基板の深い位置に形成した場合でも、光電変換部の下層領域に蓄積された信号電荷が隣接する転送部側に漏洩するのを防止でき、転送部やチャネルトップ領域の下層領域を通じての信号電荷の漏洩による各画素間のクロストークを防止できる。

この結果、半導体基板の深い位置にオーバーフローバリアを形成したことに伴うクロストークの発生をなくして画質の劣化を防止しつつ、各画素における蓄積電荷量の増大を図ることができ、感度の向上を実現できる効果がある。

【図面の簡単な説明】

【図 1】

本発明の実施の形態例による2次元CCDイメージセンサの素子構造を示す断面図である。

【図 2】

図1に示す2次元CCDイメージセンサのフォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図である。

【図 3】

図1に示す2次元CCDイメージセンサのフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図である。

【図 4】

従来の2次元CCDイメージセンサの素子配置を示す平面図である。

【図 5】

図4に示す2次元CCDイメージセンサの素子構造を示す断面図である。

【図 6】

図4に示す2次元CCDイメージセンサのフォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図である。

【図 7】

図4に示す2次元CCDイメージセンサのフォトセンサ領域におけるポテンシ

ヤルの分布を立体的に示す説明図である。

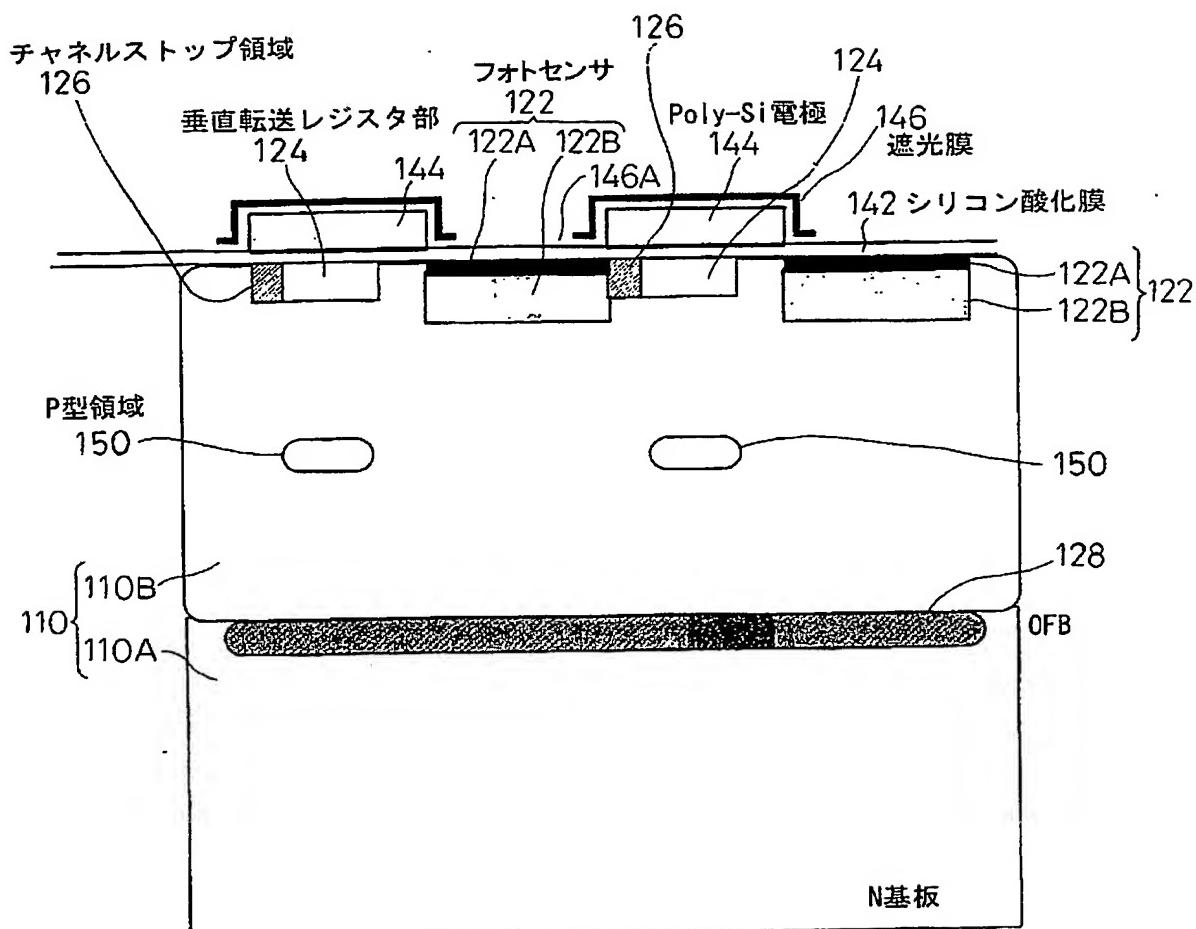
【符号の説明】

110……半導体基板、110A……N型基板、110B……P型層、122
……フォトセンサ、122A……P+層、122B……N層、124……垂直転
送レジスタ、126……チャネルトップ領域、128……オーバーフローバリ
ア、142……絶縁膜、144……転送電極、146……遮光膜、150……P
型領域。

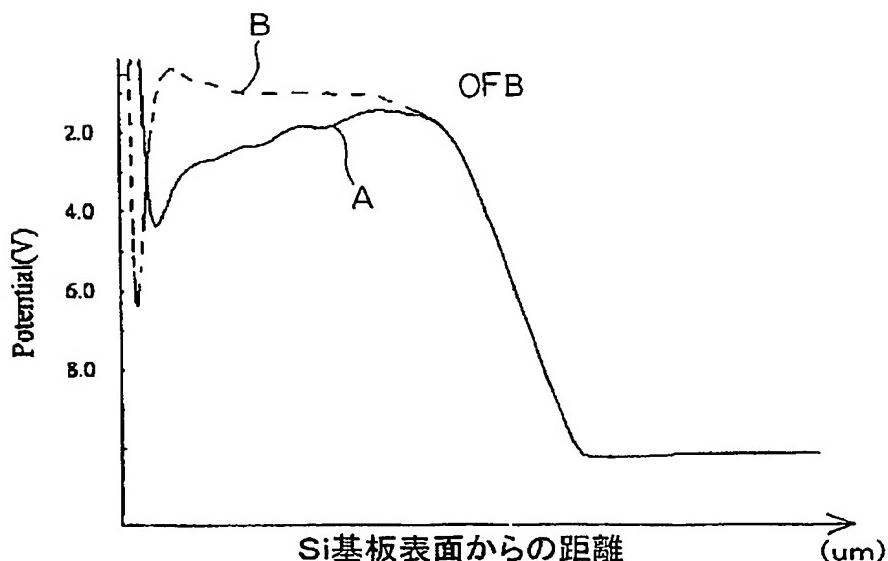
【書類名】

図面

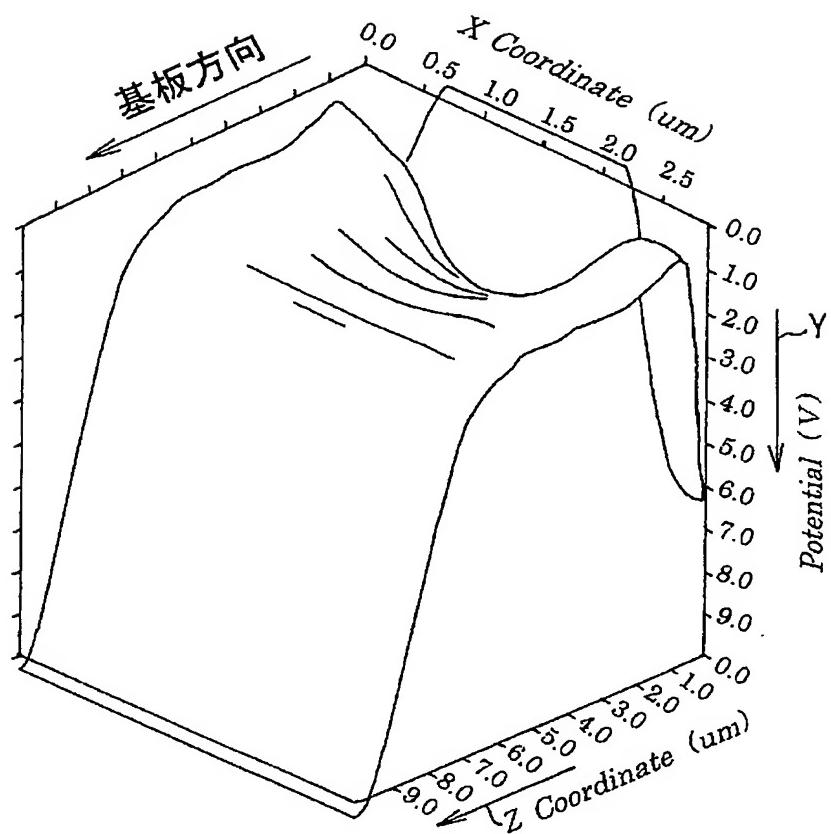
【図 1】



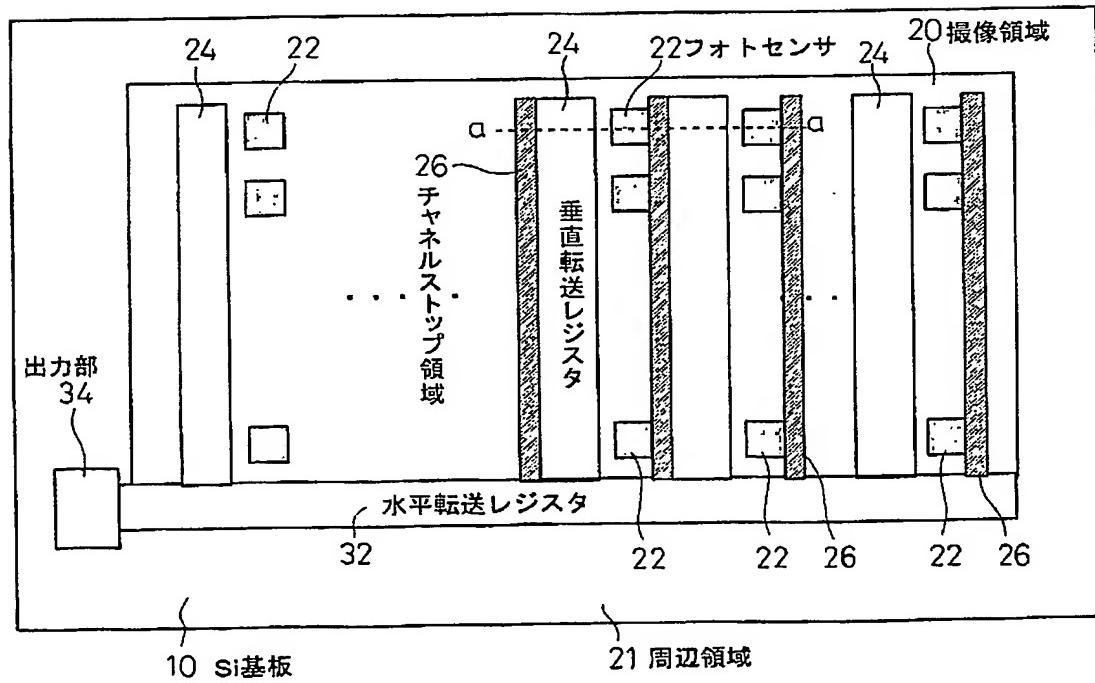
【図 2】



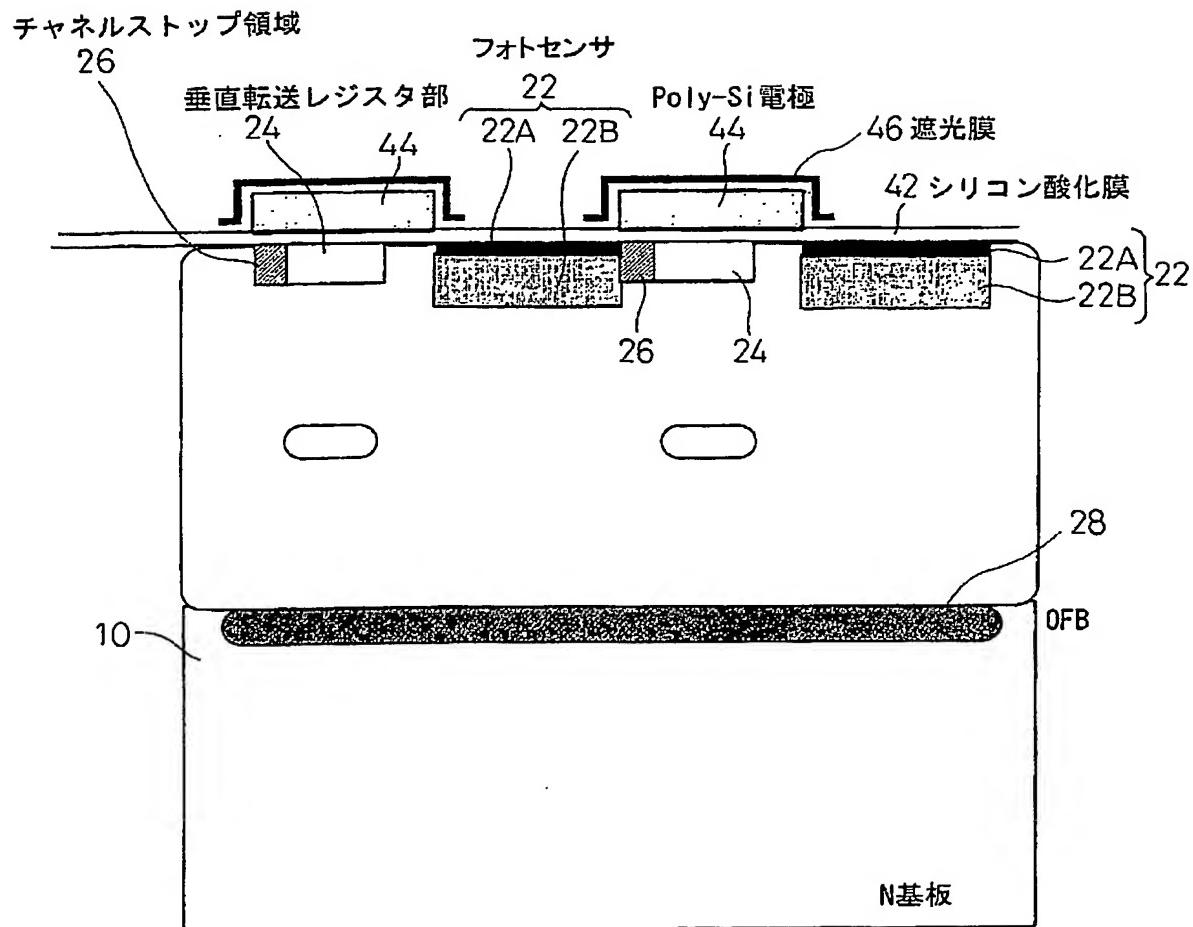
【図 3】



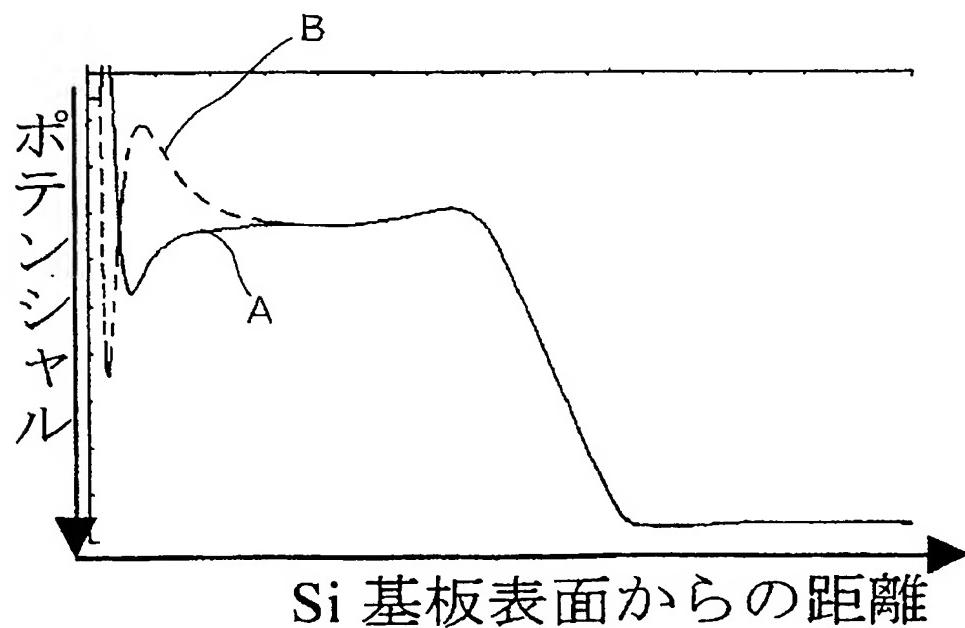
【図 4】



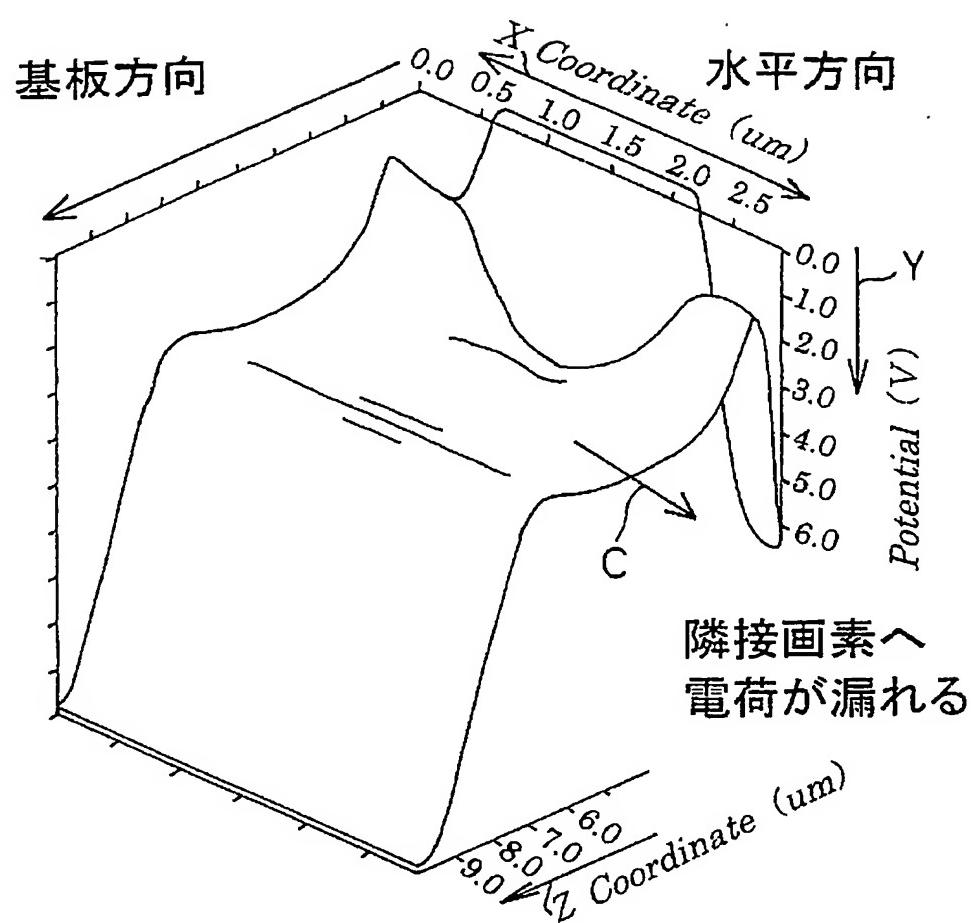
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 オーバーフローバリアを基板の深部に設けた構造で隣接する画素間のクロストークを防止する。

【解決手段】 垂直転送レジスタ124及びチャネルトップ領域126の下層領域の所定位置に、部分的なP型領域150を形成し、このP型領域150によって垂直転送レジスタ124及びチャネルトップ領域126の下層領域におけるポテンシャルを調整して、垂直転送レジスタ124の最大ポテンシャル位置からオーバーフローバリア128までの間で、フォトセンサ122の下層領域のポテンシャルより低くなるように形成する。したがって、センサ領域で光電変換された電荷は、両側の垂直転送レジスタ124及びチャネルトップ領域126の下層領域におけるポテンシャルが低いため、このポテンシャルバリアに遮られて、容易に拡散できない状態となり、隣接画素のクロストークを防止できる。

【選択図】 図1

特願2002-235125

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都品川区北品川6丁目7番35号
氏名 ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.